

1/5/1

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03143671 **Image available**

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUB. NO.: 02-119171 [JP 2119171 A]

PUBLISHED: May 07, 1990 (19900507)

INVENTOR(s): MITANI TSUNEO

SAGARA KAZUYOSHI

HOSOE HIDEYUKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-270667 [JP 88270667]

FILED: October 28, 1988 (19881028)

INTL CLASS: [5] H01L-027/04; H01L-023/60

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 956, Vol. 14, No. 346, Pg. 30, July
26, 1990 (19900726)

ABSTRACT

PURPOSE: To avoid a dielectric breakdown caused by charge stored in an NC pin and avoid the short circuit between patterns by a method wherein an NC pin connection wiring pattern in a chip is connected to the NC pin and a diode is connected to the NC pin connection wiring pattern.

CONSTITUTION: An NC pin 1 fixed to a package base 2 vertically is linked with a metallized pattern 3 on the base 2 and a bonding wire 4 is connected to the pattern 3. A chip 5 is mounted on the base 2 and the wire 4 is connected to the pad 6 of the chip 5. An NC pin connection wiring pattern 7 under the pad 6 in the chip 5 is connected to a diode 10. Therefore, even if charge is stored in the NC pin 1, the charge is drained by the diode 10, so that the dielectric breakdown of an insulating film can be avoided and the short circuit between the pattern 7 and a wiring pattern 8 having a different potential can be avoided. With this constitution, the reliability of a pin grid array can be improved.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-119171

⑬ Int. Cl.

H 01 L 27/04
23/60

識別記号

H

庁内整理番号

7514-5F

⑭ 公開 平成2年(1990)5月7日

6918-5F

H 01 L 23/56

B

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-270667

⑰ 出 願 昭63(1988)10月28日

⑱ 発 明 者 三 谷 恒 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 相 良 和 義 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 発 明 者 細 江 英 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 内部回路とは接続しないピン(以下NCピンという)に接続することにより当該NCピン接続配線パターンと当該パターンとは導電位の内部回路と接続した配線パターン間に介在する絶縁層が静電破壊することを防止するためのダイオードを、前記NCピン接続配線パターンに直接または抵抗等を介して間接的に接続して成ることを特徴とする半導体集積回路装置。

2. 品種によりNCピンとなるピンが変更されることがあるゲートアレイにおいて、NCピン接続配線パターンと静電防止用のダイオードの接続を選択的に行うようにしたことを特徴とする請求項1に記載の半導体集積回路装置。

3. 発明の詳細な説明

(発明上の利用分野)

本発明は半導体集積回路装置に関し、特に、N

Cピンに電荷がチャージすることによって起こる静電圧破壊を防止した半導体集積回路装置に関する。

[従来の技術]

従来、例えば、外部接続端子であるピンをパッケージベースの底面から下方向に垂直に突出したピングリットアレイパッケージにおいて、パッケージベース上に搭載した半導体集積回路装置(チップ)とボンディングワイヤにより接続されているが、当該チップへの信号の入出力を行なう信号ピンなどとは異なり、チップ内の内部回路とは接続しないいわゆるNCピンと称されるものがある。

このNCピンにおける従来構造では、このNCピンとボンディングワイヤによりワイヤボンディングされたチップにおける電極(パッド)下部のNCピン接続配線パターンと当該パターンとは導電位の前記内部回路と接続した配線パターン間とは絶縁膜により完全に絶縁されているので、電荷が蓄積しめく、高電位にチャージされるとこれらパターン間を絶縁している絶縁膜が静電破壊し、

パターン間がショートすることがある。

尚半導体装置における絶縁破壊について述べた特許の例として、特公昭45-34641号公報があり、クランプダイオードを設けて当該破壊を防止する技術が述べられているが、このものはチップ内素子におけるゲートソース間の絶縁破壊を防止する技術で、本発明とは異なる。

〔発明が解決しようとする課題〕

本発明は上述したNCピンに電荷がたまることによって起こるチップにおける静電耐圧破壊を防止することのできる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔課題を解決するための手段〕

本図において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記のとおりである。

すなわち、本発明では、NCピンと接続したナ

ース2には、付号ピンなど複数のピンが同様に垂設されている。

NCピン1は、当該ベース2上のメタライズパターン3と導通している。

ボンディングワイヤ4の一端部をメタライズパターン3と接続する。

パッケージベース2上には、チップ5が搭載されている。

上記ボンディングワイヤ4の他端部を、チップ5のパッド6と接続する。

当該ボンディングワイヤ4によるワイヤボンディングにより、NCピン1とチップ5とは導通がとられる。

チップ5内の上記パッド6下部のNCピン接続配線パターン7の端部にはダイオード10を接続する。

当該NCピン接続配線パターン7と異電位配線パターン8との間には、パターン間絶縁膜9により絶縁されている。

異電位配線パターン8はチップ5における内部

チップ内NCピン接続配線パターンにダイオードを接続するようにしたものである。

〔作用〕

このようにダイオードを接続することによって、NCピンにたまる電荷を逃がしてやることができ、静電破壊を防止することができる。

〔実施例〕

次に、本発明の実施例を図面に基づいて説明する。

第1B図は本発明を適用したピングリッドアレイパッケージの断面図を示し、第1A図は上記第1B図に対応する等価回路を示す。

これら図において、1はNCピン、2はパッケージベース、3は当該ベース上の導体配線（メタライズパターン）、4はボンディングワイヤ、5はチップ、6はそのパッド、7はNCピン接続配線パターン、8は異電位配線パターン、9はパターン間絶縁膜、10はダイオードである。

パッケージベース2には、NCピン1が垂設されている。その図示が省略されているが、当該ベ

回路と接続している。

本発明では第1図に示すように、ダイオード10をNCピン接続配線パターン7に接続したもので、このようにダイオード10を接続することによって、NCピン1に電荷がたまっても、その電荷をダイオード10により逃がしてやることができる。

第2図に示す等価回路において、このようにダイオード10を接続しても、モーストネガティブとモーストポジティブの間の電圧がNCピン1にかかっても、電流は流れない。

なお、第2図にて、11および12はそれぞれ端子で、11はモーストポジティブ側の電源端子(MP)、12はモーストネガティブ側の電源端子(MN)である。

本発明では、品種によりNCピンとなるピンが変更されることがあるゲートアレイのような場合には、第2図に示すように、スイッチ13の切換により、NCピンとなるピンだけに選択的に接続させることも可能である。

なお、第2図を含めて、以下の図では第1A図および第1B図と共通する符号は同一の構成のものとする。

次に、本発明の実形例を示す。

第3図は、NCピン1とダイオード10間に抵抗14を組み込んだもので、ダイオード10に大電流が流れ込まないようにしたものである。

第4図は、ダイオード10をモーストポジティブ、モーストネガティブ側ともに、複数個(N個)としたものである。

第5図は、上記の如く複数個のダイオード10を接続する場合、当該ダイオード10の接続形式を変えたものである。

第6図は、第3図に示す等価回路において、ダイオード10、10の端部にも抵抗15、15を組み込むようにしたものである。

第7図は、MN(12)側のみダイオード10を接続したもので、また、第8図はMP(11)側のみダイオード10を接続したものである。

ない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるピングリッドアレイパッケージに適用した場合について説明したが、それに限定されるものではなく、デュアルインパッケージなど各種半導体パッケージにも適用することができる。

〔発明の効果〕

本発明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によればNCピンに電荷がたまることによる静電破壊を防止することができた。

4. 図面の簡単な説明

第1A図は本発明の実施例を示す等価回路、第1B図は本発明の実施例を示す半導体パッケージの断面図、第2図～第8図はそれぞれ本発明の他の実施例を示す等価回路である。

1…NCピン、2…パッケージベース、3…メタライズパターン、4…ボンディングワイヤ、

本発明におけるチップ5は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路素子が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回路素子が形成されている。

ボンディングワイヤ4は、例えば金細線やアルミニウム細線により構成される。

本発明によれば、上記の如く、ダイオード10を付加することにより、NCピン1にチャージされた電荷を逃がすことができ、パターン間絶縁層9の静電破壊を防止し、NCピン接続配線パターン7と異電位配線パターン9との間の静電破壊によるショートを防止し、ピングリッドアレイパッケージの信頼性を向上させることができた。

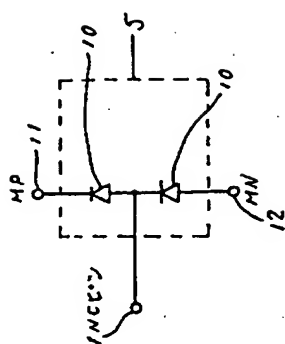
以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも

5…チップ、6…パッド、7…NCピン接続配線パターン、8…異電位配線パターン、9…パターン間絶縁層、10…ダイオード、11…端子(MP)、12…端子(MN)、13…スイッチ、14…抵抗、15…抵抗。

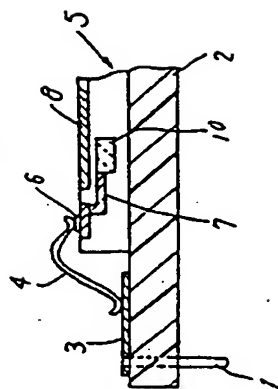
代理人 弁護士 小川 秀 男



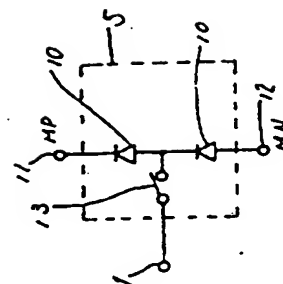
第 1 A 図



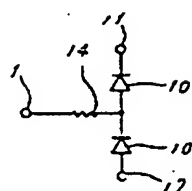
第 1 B 図



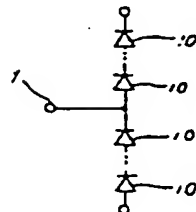
第 2 図



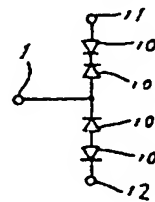
第 3 図



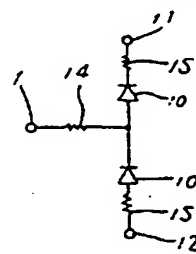
第 4 図



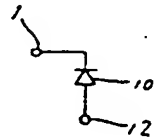
第 5 図



第 6 図



第 7 図



第 8 図

